

04/8126-SM ⑦

(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-221598

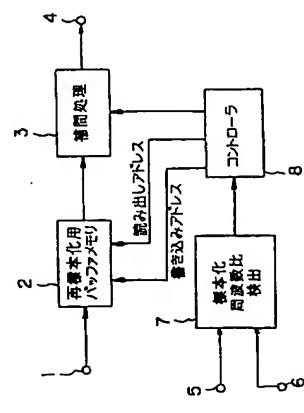
(43)公開日 平成7年(1995)8月18日

(51)Int.Cl. ⁴ H03H 17/02	識別記号 D 8842-5J A 8842-5J	庁内整理番号 FI	技術表示箇所
審査請求 未請求	請求項の数 8	OL (全 14 頁)	

(21)出願番号 特願平6-8366	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成6年(1994)1月28日	(72)発明者 安田 信行 東京都品川区北品川6丁目7番35号 ソニー株式会社 (74)代理人 伊理士 小池 晃 (外2名)

(54)【発明の名称】 標準化周波数変換装置

(57)【要約】
【構成】 再標準化用バッファメモリ2は、入力端子1から入力された入力標準化周波数Fsiの入力信号Dsiを記憶する。補間処理回路3は、再標準化用バッファメモリ2からの読み出し信号に補間処理を施す。標準化周波数Fsoと入力端子5から供給される入力標準化周波数Fsiとの現在の標準化周波数比Rnを抽出し、該現在の標準化周波数比Rnと一後出周波数の通過の抽出値Rn-1に基づいて新たな標準化周波数比Rn,NEWを算出する。コントローラ8は、新たな標準化周波数比Rn,NEWから再標準化用バッファメモリ2及び補間処理回路3を制御する。
【効果】 一定時間経過後に標準化周波数比が変化し続けても再標準化時刻アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制約を不要とする。



標準化周波数変換装置のブロック図

【特許請求の範囲】

【請求項1】 入力信号の標準化周波数を任意の標準化周波数に変換する標準化周波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の標準化周波数と上記任意の標準化周波数との標準化周波数比を算出し、該算出値及び過去の算出値に基づいて新たな標準化周波数比を算出する標準化周波数比算出手段と、上記標準化周波数比算出手段の算出した標準化周波数比に応じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有することを特徴とする標準化周波数変換装置。

$$R_n, NEW = R_n + k \Delta R_n + \sum_{i=1}^m (\Delta R_{n-m})$$

の式により求めることを特徴とする請求項1記載の標準化周波数変換装置。

【請求項4】 上記標準化周波数比算出手段は、上記入力信号の標準化周波数と上記任意の標準化周波数の内の一方向の標準化周波数の間隔に対して充分高速でかつ他方向の標準化周波数の整数倍のクロックで、上記一方の標準化周波数の周期を計数することを特徴とする請求項1記載の標準化周波数変換装置。

【請求項5】 上記補間処理手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより隣合った二個のオーバーサンプリングデータを求め、さらにこれら二個のオーバーサンプリングデータに直線補間を施すことを特徴とする請求項1記載の標準化周波数変換装置。

【請求項6】 上記入力信号の標準化周波数が上記任意の標準化周波数よりも高いときには、上記補間処理手段の出力信号に帯域制限を施すことを特徴とする請求項1記載の標準化周波数変換装置。

【請求項7】 上記標準化周波数比算出手段は、短い時間間隔と長い時間間隔で上記入力信号の標準化周波数と上記任意の標準化周波数との標準化周波数比を算出し、該短い時間間隔及び該長い時間間隔での現在の算出値及び過去の算出値に応じて、短い時間間隔及び長い時間間隔での新たな標準化周波数比を算出し、該二つの算出した標準化周波数比を切り換えて出力することを特徴とする請求項1記載の標準化周波数変換装置。

【請求項8】 上記標準化周波数比算出手段は、短い時間間隔での新たな標準化周波数比と長い時間間隔での新たな標準化周波数比との所定の精度内での一致又は不一致を判断し、一致のときには上記長い時間間隔での標準化周波数比を、不一致のときには上記短い時間間隔での標準化周波数比を選択して出力することを特徴とする請求項1記載の標準化周波数変換装置。

【請求項2】 上記標準化周波数比算出手段は、新たな標準化周波数比Rn,NEWを、現在の算出値Rnの2倍の値2Rnから過去の算出値Rn-1を減算して、 $R_n, NEW = 2R_n - 1$ の式により求めることを特徴とする請求項1記載の標準化周波数変換装置。

【請求項3】 上記標準化周波数比算出手段は、新たな標準化周波数比Rn,NEWを、現在の算出値Rnと、該現在の算出値Rnと過去の算出値Rn-1との差分値ΔRnのk(k<1)倍値kΔRnと、(1-k)m(ΔRn-m)のmの1から無限大までの項の総和値としての無限級数を加算して、
【数1】

【発明の詳細な説明】

【0001】
【産業上の利用分野】 本発明は、入力信号の標準化周波数を再標準化して任意の標準化周波数に変換する標準化周波数変換装置に関する。

【0002】
【従来の技術】 最近、オーディオ信号を光ケーブルや同軸ケーブル等を用いてデジタル信号のまま伝送し、デジタルオーディオインターフェースを介して再生するようなデジタルオーディオ信号再生装置が普及するようになった。このデジタルオーディオ信号再生装置においては、デジタルオーディオ信号受信時に位相比較と再生制御回路（以下、VCOという。）とで構成されるフェーズロックループ（以下、PLLという。）を用いてクロックを生成している。しかし、このクロック生成時にPLLのVCOによるジッタのためにディジタル/アナログ（以下、D/Aという。）変換処理特性を劣化させてしまうことがある。このため、コンパクトディスク（以下、CDという。）プレーヤ、デジタルオーディオテープ（以下、DATという。）プレーヤ等、デジタルオーディオ信号記録媒体を再生するような装置において、クロックロックを用いてディジタルオーディオ信号をD/A変換処理によりアナログオーディオ信号に変換し、その後にアナログオーディオ信号を伝送したほうが望ましい良好なオーディオ信号を得ることができるといえる場合がある。

【0003】 また、現在、ディジタルオーディオ信号のソースとなる記録媒体、例えば、CD、CDよりも小型の光ディスク、DAT、DATよりも小型のディジタルオーディオテープにおいては、ディジタルオーディオ信号記録時の標準化周波数は、例えば、44.1kHz、48kHz、32kHzのいずれかであり、統一されていない。また、記録媒体ではないがディジタルオーディオ信号のソースとなる衛星放送（以下、BSという。）も、標準化周波数

リアシング雑音を発生させないためのフィルタである。
第1の標準化周波数F_{so}が出力標準化周波数F_{so}よりも高いときには、エリアシング雑音が発生する虞があるの
で、マルチプレクサ19からの出力番号を帯域制限す
る。

【0052】したがって、この第2実施例の標準化周波数変換装置は、入力標準化周波数F_{si}と出力標準化周波数F_{so}から現在の標準化周波数R_nを計算し、該現在の
標準化周波数R_n及び過去の検出値R_{ns-1}に基づいて新たな標準化周波数R_n.NEWを求め、コントローラ25に出力
している。このため、コントローラ25は、図2のよう
な調整の累積することのない値（新たな標準化周波数R_n.NEW）から再標準化時間アドレスを生成することが
できるのに、再標準化用バッファメモリ13にオーバーバ
ッファメモリ13の容量を増大させることなく、安定な標準化変換処理を行うことができる。さらに、出力番号と
なる標準化周波数F_{so}の出力番号D_{so}は、エリアシング
のない番号となる。

【0053】次に、第3実施例について図6乃至図8を
参照しながら説明する。この第3実施例も、上述した第
1実施例、第2実施例と同様に、入力された番号D_{si}の
標準化周波数F_{si}を再標準化して任意の標準化周波数F_{so}の番号D_{so}に変換する標準化周波数変換装置であり、
入力系が完全に非同期的な標準化周波数変換処理、すな
わち、入出力番号間に同期関係の無い自由な比率の標準
化周波数変換処理を実現する。以下、入力番号D_{si}の標準
化周波数F_{si}を入力標準化周波数F_{si}とし、任意の標準
化周波数F_{so}を出力標準化周波数F_{so}とする。また、
この第3実施例の概略構成は、第2実施例の概略構成を
示した図3で示すことができる。この第3実施例に第2
実施例との相違点は、標準化周波数比検出回路24の具
体的構成並びに動作である。

【0054】以下、図3と、新たに図6乃至図8を参照
しながらこの第3実施例について説明するが、上述した
理由から標準化周波数比検出回路24の具体的な構成並び
に動作を中心として説明を進める。

【0055】この第3実施例の標準化周波数変換装置は
図3に示すように、8Fsオーバースamplingフィル
タ12と、再標準化用のバッファメモリ13と、補間処
理回路14と、入力端子22から供給される標準化周波
数F_{si}の整数倍の入力標準化周波数F_{si}（＝M・F_{si}）
で入力端子23から供給される標準化周波数F_{so}のN倍
（以下、出力標準化周波数）という。T_{so}のN倍
の周期も（＝N・T_{so}）を短い時間間隔t_sと長い時間
間隔t_sとで計数することによって分解能を向上した標準
化周波数比を短い時間間隔t_sと長い時間間隔t_sとで、そ
れぞれ検出し、短い時間間隔t_s及び長い時間間隔t_sで
の現在の検出値R_{ns}及びR_{nl}と、過去の検出値R_{ns-1}及
びR_{nl-1}に基づいて、短い時間間隔t_s及び長い時間間

隔t_sでの新たな標準化周波数比R_{ns}.NEW及びR_{nl}.NEW
を検出し、該新たな標準化周波数比R_{ns}.NEW及びR_{nl}.N
EWを切り換えて出力する標準化周波数比検出回路24
と、この標準化周波数比検出回路24で検出された新たな
標準化周波数比R_{ns}.NEW及びR_{nl}.NEWから再標準化用
バッファメモリ13及び補間処理回路14を制御する制
御番号を生成する制御番号生成手段であり、かつ制御手
段であるコントローラ25、再標準化周波数番号出力回
路19と、帯域制限フィルタ20とを有して成る。

【0056】標準化周波数比検出回路24は、図6にそ
の構成を示すように、入力端子22から供給される入力
マスタークロックMCKiにより、入力端子23aから
入力される短い時間間隔t_sでの整数倍の標準化周波数
N_s・T_{so}を計数する短周期カウンタ40と、この短周期カ
ウンタ40からのカウンタ出力を上記N_s・T_{so}を基に
ラッチするラッチ41と、入力端子22から供給される
入力マスタークロックMCKiにより入力端子23bか
ら入力される長い時間間隔t_sでの整数倍の標準化周波
数N_l・T_{so}を計数する長周期カウンタ42と、この長周
期カウンタ42からのカウンタ出力を上記N_l・T_{so}を
基にラッチするラッチ43と、ラッチ41のラッチ出力
とラッチ43のラッチ出力とを比較する比較回路44
と、この比較回路44での比較結果に応じてラッチ44の
ラッチ出力をコントローラ25に選択して出力する選択
回路45とを有して成る。

【0057】短周期カウンタ40でN_s・T_{so}を入力カ
スタークロックMCKiによりカウントし、そのカウン
タ結果をラッチ41でラッチすることにより、短周期t_s
での現在の標準化周波数比R_{ns}が求められることにな
る。また、長周期カウンタ42でN_l・T_{so}を入力マス
タークロックMCKiによりカウントし、そのカウンタ
タ結果をラッチ43でラッチすることにより、長周期t_s
での現在の標準化周波数比R_{nl}が求められることにな
る。すなわち、ラッチ41でのラッチ周期が短周期t_s
であり、ラッチ43でのラッチ周期が長周期t_sであ
る。このラッチ周期t_s及びt_{ls}は、想定される入力標準
化周波数比変換率最大時の変換における標準化周波数
比R_{nl}の英時間に対する誤差と標準化周波数比R_{ns}の分
解能が一致するように決定する。

【0058】ここで、入力マスタークロックMCKi
は、N_s・T_{so}及びN_l・T_{so}に充分高速であり、かつ上
述したように入力標準化周波数F_{si}の整数倍Mのクロ
ックである。

【0059】この標準化周波数比検出回路4は、短周期
t_sでの現在の標準化周波数比R_{ns}及び長周期t_{ls}での現
在の標準化周波数比R_{nl}から、短周期t_s及び長周期t_{ls}
での一検出周期前の過去の標準化周波数比R_{ns-1}及びR_{nl-1}とを求め、さらに、これらの各検出値から、短い時
間間隔t_s及び長い時間間隔t_{ls}での新たな標準化周波数
比R_{ns}.NEW及びR_{nl}.NEWを検出する。

【0060】短周期t_sにおいて、標準化周波数比検出
回路24は、現在の標準化周波数比R_{ns}の2倍の値から
過去の検出値R_{ns-1}を減算して、新たな標準化周波数比
R_{ns}.NEWを検出する。これは、図7に示すように、現在
R_{ns}.NEW＝R_{ns}＋ΔR_{ns}＝R_{ns}＋

$$R_{ns} - R_{ns-1} = 2R_{ns} - R_{ns-1} \quad \dots (2)$$

となる。
【0061】長周期t_{ls}において、標準化周波数比検出
回路24は、現在の標準化周波数比R_{nl}の2倍の値から
過去の検出値R_{nl-1}を減算して、新たな標準化周波数比
R_{nl}.NEWを検出する。これは、図8に示すように、現在

$$R_{nl} \cdot NEW = R_{nl} + \Delta R_{nl} = R_{nl} + (R_{nl} - R_{nl-1}) = 2R_{nl} - R_{nl-1} \quad \dots (3)$$

となる。

【0062】比較回路44は新たな標準化周波数比R_n
s.NEWと新たな標準化周波数比R_{nl}.NEWとが所定の精度
内で一致するか又は不一致であるかを判別する。この比較
回路44で新たな標準化周波数比R_{ns}.NEWと新たな標準
化周波数比R_{nl}.NEWとが一致又は不一致と判別すると、
この比較回路44はその情報に応じて選択制御番号を選
択回路45に供給する。

【0063】選択回路45は、比較回路44から供給さ
れた選択制御番号に応じてラッチ41又はラッチ43か
ら、新たな標準化周波数比R_{ns}.NEWまたは新たな標準化
周波数比R_{nl}.NEWを切り換えて選択して出力する。

【0064】比較回路44での比較は、ビット数の多い
値である新たな標準化周波数比R_{nl}.NEWと、ビット数の
少ない値である新たな標準化周波数比R_{ns}.NEWとを比較
するが、その比較の際には、例えば、標準化周波数比R_n
l.NEWの最上位ビットから所定のビット（標準化周波数
比R_{ns}.NEWの全ビット数に及び）までと、標準化周波
数比R_{ns}.NEWの全ビット数とを比較することによる。このよ
うにすれば、所定の範囲内において、その一致と不一致
とを判別することができる。この比較回路44は、新た
な標準化周波数比R_{nl}.NEWと新たな標準化周波数比R_n
s.NEWとが所定の精度内で一致しているかと判別すると、
選択回路45に長周期t_{ls}での新たな標準化周波数比R_n
l.NEWを選択して出力せよという選択制御番号を供給す
る。一方、この比較回路44は、新たな標準化周波数比
R_{nl}.NEWと新たな標準化周波数比R_{ns}.NEWとが所定の精
度内で不一致である判別すると、選択回路45に短周期
t_sでの新たな標準化周波数比R_{ns}.NEWを選択して出力
せよという選択制御番号を供給する。

【0065】選択制御番号は、比較回路44から供給さ
れる上記2つの選択制御番号によって、長周期t_{ls}での
新たな標準化周波数比R_{nl}.NEW又は短周期t_sでの新た
な標準化周波数比R_{ns}.NEWをコントローラ25の加算器
46に出力する。

【0066】コントローラ25は、図6にその構成を示
すように、標準化周波数比計測回路24から供給される

の標準化周波数比R_{ns}と過去の検出値R_{ns-1}との減算値
ΔR_{ns}を現在の標準化周波数比R_{ns}に加算することによ
り、新たな標準化周波数比R_{ns}.NEWとしているためであ
る。すなわち、新たな標準化周波数比R_{ns}.NEWは、
R_{ns}.NEW＝R_{ns}＋ΔR_{ns}＝R_{ns}＋

$$R_{ns} - R_{ns-1} = 2R_{ns} - R_{ns-1} \quad \dots (2)$$

の標準化周波数比R_{nl}と過去の検出値R_{nl-1}との減算値
ΔR_{nl}を現在の標準化周波数比R_{nl}に加算することによ
り、新たな標準化周波数比R_{nl}.NEWとしているためであ
る。すなわち、新たな標準化周波数比R_{nl}.NEWは、

$$R_{nl} \cdot NEW = R_{nl} + \Delta R_{nl} = R_{nl} + (R_{nl} - R_{nl-1}) = 2R_{nl} - R_{nl-1} \quad \dots (3)$$

長周期t_{ls}での新たな標準化周波数比R_{nl}.NEW又は短周
期t_sでの新たな標準化周波数比R_{ns}.NEWを加算回路4
6及びフリップフロップ回路47を用いて累積加算し、
再標準化用バッファメモリ13のデータ読み出しアドレ
スを生成している。また、コントローラ25は、加算回
路46及びフリップフロップ回路47を用いて、補間処
理回路14へのオーバーサンプリング用の係数読み出し
アドレスと、直線補間の直線補間係数を生成してい
る。

【0067】ここで、フリップフロップ回路47は、D
フリップフロップ回路であることが好ましく、入力端子
48からは、この第3実施例の出力番号の標準化周波数
8F_{so}に合わせて8F_{so}のクロックが供給されている。
もちろん、出力番号の標準化周波数が4又は2F_{so}であ
る場合には、4又は2F_{so}のクロックが供給される。ま
た、入力端子49からはインチャライズ信号が供給され
る。

【0068】補間処理回路14の概略構成及び動作は、
図3及び図5を参照しながら説明した上述の第2実施例
のそれと同様であるので、ここでは説明を省略する。

【0069】したがって、この第3実施例の標準化周波
数変換装置は、入力標準化周波数F_{si}の整数倍の入力カ
スタークロックMCKi（＝M・F_{si}）で標準化周波数
F_{so}の周期のN倍の周期t_{ls}（＝N・T_{so}）を、短い時間
間隔t_sと長い時間間隔t_{ls}で計数することによって分解
能を向上した標準化周波数比を短い時間間隔t_sと長い
時間間隔t_{ls}で、それぞれ検出し、短い時間間隔t_s及び
長い時間間隔t_{ls}での現在の検出値R_{ns}及びR_{nl}と、過
去の検出値R_{ns-1}及びR_{nl-1}に基づいて、短い時間間隔
t_s及び長い時間間隔t_{ls}での新たな標準化周波数比R_n
s.NEW及びR_{nl}.NEWを検出し、該短周期t_sでの新たな標準
化周波数比R_{ns}.NEWと長周期t_{ls}での新たな標準化周波
数比R_{nl}.NEWとが所定の精度内で一致した場合には、長
周期t_{ls}での新たな標準化周波数比R_{nl}.NEWを、不一致
の場合には、短周期t_sでの新たな標準化周波数比R_{nl}.
NEWを累積加算して、標準化データ読み出しアドレス、
ROM係数選択制御番号、直線補間係数等の制御番号を

作成し、該制御信号によって再構本化用バッファメモリ 13、補助処理回路 14 を制御するので、再構本化用バッファメモリ 13 にオーバーフローやアンダーフローを生じさせず、再構本化用バッファメモリ 13 の容量を増大させると、安定な構本化同波数の変換を行うことができる。また、出力信号となる構本化同波数 Fso の出力できる。また、出力信号となる構本化同波数 Fso の出力信号 Dso にエアリングを起こさせない。さらに、構本化同波数に依りて再構本化データ読み出しアドレス等の制御信号の応答を高速とするか或は遅延とすることを適応的に切り換え、異なる構本化同波数による再生オーディオデータ信号の劣化防止、自由な構本化同波数変換によるミキシングの実現を図ることができる。

【0070】なお、本発明に係る再構本化同波数変換装置は、再構本化同波数比較計測回路を 3 個以上設けて高精度と高速応答に細かく対応することも可能である。

【0071】また、本発明に係る再構本化同波数変換装置は、構本化同波数比較回路を図 9 のような構成とすることも可能である。この図 9 に示すような構本化同波数比較回路を設けた実施例を他の実施例として以下に説明する。なお、この他の実施例は、構本化同波数比較回路のみを上記第 3 実施例の構本化同波数変換装置と異ならせた構成としているので、他の構成については説明はここでは省略する。

【0072】この他の実施例は、構本化同波数比較回路を構成するにあたり、上述した第 3 実施例のように短周期カウンタと長周期カウンタを独立して設けるのではなく、短周期カウンタを備えた短周期構本化同波数比較回路 53 の構本化同波数比較 Rs1 に対し、コンローラ 4 出力回路 54 と累積加算ラッチ 55 とを用いて累積加算し、再構本化時刻アドレス生成のための加算回路 44 を時分割で共用して累積加算を施して、適応的に新たな構本化同波数比較 Rn.NEW を得るようになり、長周期カウンタを省略することができる。

【0073】すなわち、この他の実施例の構本化同波数比較回路は、入力端子 52 から入力される信号の構本化同波数 Fsi をクロック分周器 51 から供給される分周クロックで計数して求めた短周期 t の新たな構本化同波数 Rns.NEW と、該構本化同波数比較 Rns.NEW を加算回路 54 と累積加算ラッチ 55 とを用いて計数することにより得られた長周期 t の新たな構本化同波数比較 Rn 数比 Rn1.NEW を、不一致のときには短周期 t の構本化同波数比較 Rns.NEW を選択回路 58 が選択してコンローラ 4 に出カする。ここで、クロック分周器 51 は、入力端子 50 から供給される基準クロックを分周して分周クロックを短周期構本化同波数比較回路 53、累積加算ラッチ回路 55 及び長周期ラッチ回路 56 に供給している。

【0074】したがって、この他の実施例は、長周期カ

ウンタを備えた長周期構本化同波数比較回路を不要として、構本化同波数比較に応じて再構本化時間アドレスの生成の応答を高精度とするか或は高速とするかを適応的に切り換え、構本化同波数の変動があまりないようなときには高精度な構本化同波数の変換を行い、構本化同波数の変動がある程度大きいときには高速な構本化同波数の変換を行っている。

【0075】さらに、本発明に係る構本化同波数変換装置は、上述した第 2 実施例の構本化同波数変換装置の構本化同波数比較回路 24 を図 10 に示すように構成してもよい。

【0076】この図 10 に示す構本化同波数比較回路を設ける他の実施例（以下、図 10 に示す他の実施例という）も、上記（1）式で示されるように、現在の構本化同波数比較 Rn の 2 倍の値から一検出周期前の過去の検出値 Rn-1 を減算して、新たな構本化同波数比較 Rn.NEW を求めている。

【0077】すなわち、この図 10 に示す他の実施例は、入力端子 62 から入力される信号の構本化同波数 Fsi を構本化同波数比較回路 63 が分周クロックで計数することによって得た基準となる構本化同波数比較 Rn を D フリップフロップ 64 及び反転回路 65 を介して加算回路 67 に供給し、該加算回路 67 にてビットシフト器 66 を介した構本化同波数比較 Rn に加算している。ビットシフト器 66 は構本化同波数比較 Rn の 2 倍の値 2 Rn を得、D フリップフロップ 64 及び反転回路 65 は構本化同波数比較 Rn の一検出周期前の値 Rn-1 の逆符号の値 -Rn-1 を得る。よって、加算回路 67 では、上記（1）式に示されるような演算が行われる。ここで、クロック分周器 61 は、入力端子 60 から供給される基準クロックを分周した分周クロックを構本化同波数比較回路 63 及び D フリップフロップ 64 に供給している。

【0078】したがって、この図 10 に示す他の実施例は、入力構本化同波数 Fsi と出力構本化同波数 Fso から現在の構本化同波数比較 Rn を計測し、該現在の検出値 Rn 及び過去の検出値 Rn-1 に基づいて新たな構本化同波数比較 Rn.NEW を求めている。このため、コンローラ 25 は、図 2 のような誤差の累積することのない値（新たな構本化同波数比較 Rn.NEW）から再構本化時間アドレスを生成することができるので、再構本化用バッファメモリ 13 にオーバーフローやアンダーフローを生じさせず、再構本化用バッファメモリ 13 の容量を増大させることなく、安定な構本化変換処理を行うことができる。

【0079】またさらに、本発明に係る構本化同波数変換装置は、上述した第 2 実施例の構本化同波数変換装置の構本化同波数比較回路 24 を図 11 に示すように構成してもよい。

【0080】この図 11 に示す構本化同波数比較回路を設ける他の実施例（以下、図 11 に示す他の実施例という）は、入力端子 72 から入力される信号の構本化同

波数 Fsi を構本化同波数比較回路 73 が分周クロックで計数することによって得た基準となる構本化同波数比較 Rn を D フリップフロップ 74 及び反転回路 75 を介して加算回路 76 に供給し、該加算回路 76 にて構本化同波数比較 Rn に加算している。D フリップフロップ 74 及び反転回路 75 は構本化同波数比較 Rn の一検出周期前の値 Rn-1 の逆符号の値 -Rn-1 を得る。よって、加算回路 76 は現在の構本化同波数比較 Rn と一検出周期前の構本化同波数比較 Rn-1 との差分 ΔRn を出力する。

【0081】この差分 ΔRn は乗算回路 76 及び加算回路 80 に供給される。乗算回路 76 は差分 ΔRn に係数 k ($k < 1$) を乗算し、その乗算結果 $k \Delta Rn$ を加算回路 78 に供給する。加算回路 80 は差分 ΔRn に後述する D フリップフロップ 82 の出力信号を累積加算する。【0082】加算回路 80 の出力信号は、乗算回路 81 に供給され (1-k) と乗算される。この乗算回路 81 の出力信号は D フリップフロップ 82 に供給される。D フリップフロップ 82 は、クロック分周器 71 から供給される分周クロックを基に上記乗算回路 81 の出力信号を計数し、m 検出周期前の値を出力する。したがって、加算回路 80、乗算回路 81 及び D フリップフロップ 82 よりなる構本化同波数比較回路は、 $(1-k) \cdot m \cdot (\Delta Rn-m)$ の無

$$Rn.NEW = Rn + k \Delta Rn + \sum_{i=1}^m (1-k) \cdot (\Delta Rn-m)$$

【0087】ここで、 $\Delta Rn = Rn - Rn-1$ 、 $k < 1$ である。

【0088】そして、この図 11 に示す他の実施例は、この新たな構本化同波数比較 Rn.NEW をコンローラ 25 に出カしている。このため、コンローラ 25 は、図 12 のような誤差の累積することのない値（新たな構本化同波数比較 Rn.NEW）から再構本化時間アドレスを生成することができるので、再構本化用バッファメモリ 13 にオーバーフローやアンダーフローを生じさせず、再構本化用バッファメモリ 13 の容量を増大させることなく、安定な構本化変換処理を行うことができる。

【0089】

【発明の効果】本発明に係る構本化同波数変換装置は、入力信号の構本化同波数を任意の構本化同波数に変換する構本化同波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の構本化同波数と上記任意の構本化同波数との構本化同波数比較波数と、該検出値及び過去の検出値に基づいて新たな構本化同波数比較を算出する構本化同波数比較手段と、上記構本化同波数比較に基づいて上記記憶手段及び上記補間処理手段を制御する制御手段とを有するので、一定時間継続的に構本化同波数比較とを有し、再構本化時間アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させるこ

限数を求める回路となる。

【0083】この構本化同波数の (1-k) m ($\Delta Rn-m$) の無限級数は、加算回路 78 で乗算回路 77 からの乗算結果 $k \Delta Rn$ に加算される。この加算回路 78 の加算出力は加算回路 79 に供給される。加算回路 79 は、現在の構本化同波数比較 Rn に加算回路 78 の加算出力を加算して、新たな構本化同波数比較 Rn.NEW を出力する。

【0084】ここで、クロック分周器 71 は、入力端子 70 から供給される基準クロックを分周した分周クロックを構本化同波数比較回路 73、D フリップフロップ 74 及び D フリップフロップ回路 82 に供給している。

【0085】したがって、この図 11 に示す他の実施例は、入力構本化同波数 Fsi と出力構本化同波数 Fso から現在の構本化同波数比較 Rn を計測し、該現在の検出値 Rn に、D フリップフロップ 74 及び反転回路 75 から得た $k \Delta Rn$ と、加算回路 80、乗算回路 81 及び D フリップフロップ 82 よりなる構本化同波数比較回路の出力 (1-k) m ($\Delta Rn-m$) の m の 1 から無限大までの項の総和値としての無限級数とを加算し、次の (4) 式に示すように新たな構本化同波数比較 Rn.NEW を得ている。

$$Rn.NEW = Rn + k \Delta Rn + \sum_{i=1}^m (1-k) \cdot (\Delta Rn-m)$$

となく、かつ、変換速度及び変換量の制限を不要とする。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の構本化同波数変換装置の概略構成を示すブロック図である。

【図 2】図 1 に示した第 1 実施例の構本化同波数変換装置に設けられた構本化同波数比較回路の動作を説明するための図である。

【図 3】本発明の第 2 実施例の構本化同波数変換装置の概略構成を示すブロック図である。

【図 4】図 3 に示した第 2 実施例の構本化同波数変換装置の構本化同波数比較回路とコンローラの概略構成を示すブロック図である。

【図 5】図 3 に示した第 2 実施例の構本化同波数変換装置の補助処理回路の動作を説明するための図である。

【図 6】本発明の第 3 実施例の構本化同波数変換装置に用いる構本化同波数比較回路とコンローラの概略構成を示すブロック図である。

【図 7】第 3 実施例の構本化同波数変換装置の構本化同波数比較回路の短周期での動作を説明するための図である。

【図 8】第 3 実施例の構本化同波数変換装置の構本化同波数比較回路の長周期での動作を説明するための図である。

【図 9】本発明の他の実施例の構本化同波数変換装置に

用いる標準化周波数比較検出回路の概略構成を示すブロック図である。

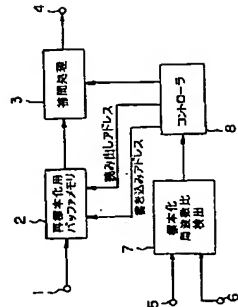
【図 10】本発明に他の実施例の標準化周波数変換装置に用いる標準化周波数比較検出回路の概略構成を示すブロック図である。

【図 11】本発明の他の実施例の標準化周波数変換装置の標準化周波数比較検出回路の概略構成を示すブロック図である。

【図 12】図 11 に示す他の実施例の標準化周波数変換装置の標準化周波数比較検出回路の動作を説明するための図である。

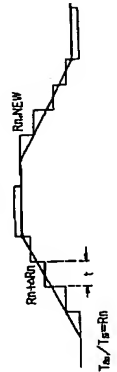
【図 13】従来の標準化周波数変換装置に用いられる標準化周波数比較検出回路の動作を説明するための図である。

【図 1】



標準化周波数変換装置のブロック図

【図 2】



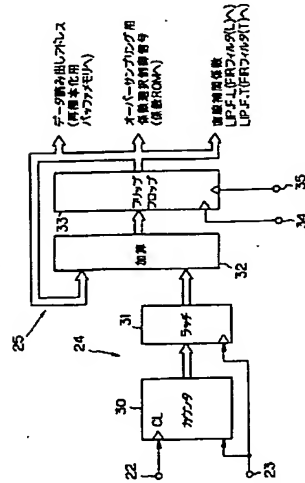
標準化周波数比較検出回路の動作説明図

【図 7】



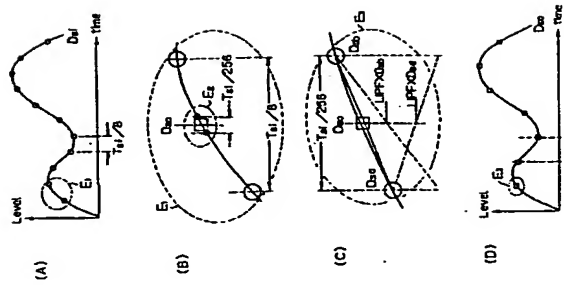
標準化周波数比較検出回路の動作説明図

【図 4】



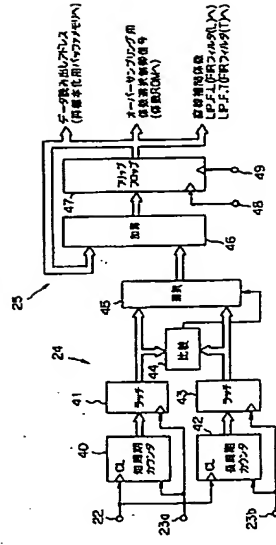
標準化周波数比較検出回路とコントローラのブロック図

【図 5】



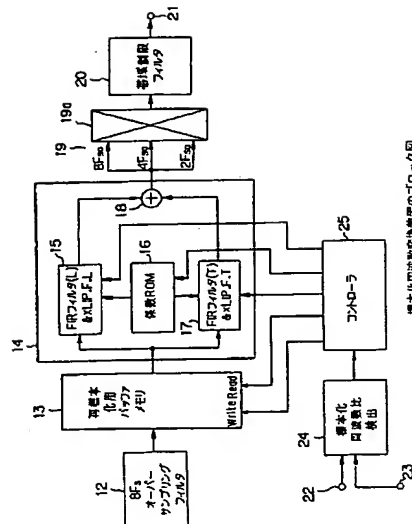
標準化周波数比較検出回路の動作説明図

【図 6】



標準化周波数比較検出回路とコントローラのブロック図

【図 3】



標準化周波数変換装置のブロック図

